

量子化後の各係数は、同じくジグザグスキャンの順序で出力され、連続する‘0’の係数（無効係数）の長さを表す0ラン長と、それに続く‘0’以外の係数（有効係数）とを用いて符号化される。なお、ブロック12の最後まで無効係数‘0’が連続する場合、例えば図8のように、最後の有効係数‘-1’から54個の無効係数‘0’が連続する場合、最後の有効係数を符号化した直後にEOB（End Of Block）を付けて符号化を終了する。

ところで、前述のように、高い圧縮効果を得るために、直交変換後の高周波成分の係数を低周波成分に対する係数値と比較して十分に大きい係数値で量子化すると、量子化後の高周波成分の係数は‘0’になる場合が多い。従って、従来のデータ量子化装置では、量子化後にブロックの最後まで無効係数‘0’が連続する場合、図示例では54個の‘0’が連続する場合であっても、結果が‘0’になる除算を繰り返し行わなければならないため、その分、消費電力が増大するし、処理も高速化できないという問題がある。

発明の要旨

本発明の目的は、前記従来技術に基づく問題点を解消し、消費電力を削減することができ、なおかつ処理も高速化することができるデータ量子化装置およびこれを用いる画像データ圧縮装置を提供することにある。

また、本発明の他の目的は、上述した目的を達成するデータ量子化装置を用いて、JPEGやMPEG等の画像データを圧縮する画像データ圧縮装置を提供することにある。

上記目的を達成するために、本発明は、量子化テーブルを用いて、直交変換後の係数を量子化するデータ量子化装置であって、前記直交変換後の係数とこれに各々対応する前記量子化テーブルの係数とを比較して、量子化後の係数が‘0’となるかどうかを判定する比較部と、前記量子化後の係数が‘0’とはならない前記直交変換後の係数のみを量子化するように制御する制御部とを備えていることを特徴とするデータ量子化装置を提供するものである。

ここで、前記比較部は、バイナリデータである前記直交変換後の係数をシフト

するシフト回路と、このシフトされた直交変換後の係数とこれに各々対応する前記量子化テーブルの係数とを比較し、前記量子化後の係数が‘0’となるか否かを判定した比較判定結果をビットデータとして出力する比較器とを含むのが好ましい。

また、前記シフト回路は、バイナリデータである前記直交変換後の係数を上位側に1ビットシフトするものであるのが好ましい。

また、前記制御部は、前記量子化後の係数が‘0’となるか否かを示す比較判定結果を記憶する量子化予測レジスタと、前記直交変換後の係数をストアするメモリと、前記量子化予測レジスタから比較判定結果を読み出し、前記量子化後の係数が‘0’とならないと判定された直交変換後の係数のみを前記メモリから読み出すように制御するREADコントロール回路と、前記メモリから読み出された直交変換後の係数を前記量子化テーブルの対応する係数で除算して結果を出力する量子化器とを含むのが好ましい。

また、前記比較部は、バイナリデータである前記直交変換後の係数をシフトするシフト回路と、このシフトされた直交変換後の係数と前記量子化テーブルの各々対応する係数とを比較し、量子化後の係数が‘0’になると判定したときには、出力として‘0’を出力し、量子化後の係数が‘0’にならないと判定したときには、前記直交変換後の係数を出力する比較器とを含むのが好ましい。

また、前記制御部は、前記比較器の出力をストアするメモリと、このメモリから読み出される‘0’ではない直交変換後の係数のみを、前記量子化テーブルの対応する係数で除算して量子化する量子化器とを含むのが好ましい。

また、前記量子化器は、‘0’ではない直交変換後の係数のみを量子化する量子化回路と、前記直交変換後の係数が‘0’であることを検出するオール0検出回路と、このオール0検出回路による検出結果に応じて、前記量子化回路から出力される量子化後の係数、または、‘0’を選択的に出力するセレクトとを含むのが好ましい。

また、前記比較判定結果は、前記直交変換後の係数を前記メモリに書き込む時に使用するアドレス信号を使用して前記量子化予測レジスタに書き込まれるのが好ましい。

また、前記比較判定結果は、前記直交変換後の係数を前記メモリから読み出す時に使用するアドレス信号を使用して前記量子化予測レジスタから読み出されるのが好ましい。

また、前記量子化予測レジスタから前記比較判定結果を読み出す際に、連続する‘0’の比較判定結果の個数をカウントして0ラン長を求めるのが好ましい。

また、前記メモリから前記比較器の出力を読み出す際に、連続する‘0’の係数をカウントして0ラン長を求めるのが好ましい。

また、本発明は、量子化テーブルを用いて、直交変換後の係数を量子化するデータ量子化装置であって、前記直交変換後の係数とこれに各々対応する前記量子化テーブルの係数とを比較して、量子化後の係数が‘0’となるかどうかを判定する比較部と、前記量子化後の係数が‘0’とはならない前記直交変換後の係数のみを量子化するように制御する制御部とを備えていることを特徴とするデータ量子化装置を備えた画像データ圧縮装置を提供するものである。

ここで、前記比較部は、バイナリデータである前記直交変換後の係数を上位側に1ビットシフトするシフト回路と、このシフトされた直交変換後の係数とこれに各々対応する前記量子化テーブルの係数とを比較し、前記量子化後の係数が‘0’となるか否かを判定した比較判定結果をビットデータとして出力する比較器とを含み、前記制御部は、前記量子化後の係数が‘0’となるか否かを示す比較判定結果を記憶する量子化予測レジスタと、前記直交変換後の係数をストアするメモリと、前記量子化予測レジスタから比較判定結果を読み出し、前記量子化後の係数が‘0’にならないと判定された直交変換後の係数のみを前記メモリから読み出すように制御するREADコントロール回路と、前記メモリから読み出された直交変換後の係数を前記量子化テーブルの対応する係数で除算して結果を出力する量子化器とを含むのが好ましい。

また、前記比較部は、バイナリデータである前記直交変換後の係数をシフトするシフト回路と、このシフトされた直交変換後の係数と前記量子化テーブルの各々対応する係数とを比較し、量子化後の係数が‘0’になると判定したときには、出力として‘0’を出力し、量子化後の係数が‘0’にならないと判定したときには、前記直交変換後の係数を出力する比較器とを含み、前記制御部は、前記

比較器の出力をストアするメモリと、このメモリから読み出される‘0’ではない直交変換後の係数のみを、前記量子化テーブルの対応する係数で除算して量子化する量子化器とを含むのが好ましい。

図面の簡単な説明

図1は、本発明のデータ量子化装置の第1の実施例を含む画像データ圧縮装置の構成を概念的に示すブロック図である。

図2は、図1に示す第1の実施例の比較器による比較結果の一実施例を表す概念図である。

図3は、図1に示す第1の実施例の量子化予測レジスタの内容の一実施例を表す概念図である。

図4は、図1に示す第1の実施例の0ラン長の状態の一実施例を表す概念図である。

図5は、本発明のデータ量子化装置の第2の実施例を含む画像データ圧縮装置の構成を概念的に示すブロック図である。

図6は、図5に示す第2の実施例の量子化器の一実施例の構成を概念的に示すブロック図である。

図7は、従来のデータ量子化器の一例の構成のブロック図である。

図8は、データ量子化処理の各工程における係数の内容の一例を表す概念図である。

発明の詳細な説明

以下に、添付の図面に示す好適実施例に基づいて、本発明のデータ量子化装置を詳細に説明する。

図1は、本発明のデータ量子化装置の第1の実施例を含む画像データ圧縮装置の構成概念図である。

なお、従来技術の説明と同様、説明の都合上、直交変換器14、18や量子化

テーブル等も含めて図示している。

図示例のデータ量子化装置 10 は、図 7 に示す従来の量子化器 22 に対して本発明を適用したもので、直交変換後の係数を量子化する前に、直交変換後の係数とこれに各々対応する量子化テーブルの係数とを比較して、量子化後の係数が '0' となるかどうかを判定し、量子化後の係数が '0' にならない直交変換後の係数のみを量子化するように制御する。

これに応じて、本発明のデータ量子化装置 10 は、従来の量子化器 22 と比較して、さらに、シフト回路 26 と、比較器 28 と、量子化予測レジスタ 30 と、リード (READ) ・コントロール回路 32 とを備えている。なお、これらのデータ量子化装置内には、メモリ (RAM) 20 が取り込まれているが、本発明のデータ量子化装置 10 の外に配置しても良い。また、従来のデータ量子化装置 42 を含む画像データ圧縮装置と同一の構成要素である直交変換器 (1-D DCT) 14、18、メモリ (RAM) 16、20、量子化器 22 および量子化テーブル 24 には同じ符号を付けてある。

図示例のデータ量子化装置 10 を含む画像データ圧縮装置において、まず、直交変換器 14 は、ブロック内の画像データに対応する係数を、例えば、水平方向について直交変換して周波数成分の係数に変換する。直交変換後の各係数はメモリ 16 に記憶される。同じく、直交変換器 18 は、メモリ 16 から読み出される各係数を、例えば垂直方向について直交変換する。直交変換後の各係数はメモリ 20 およびシフト回路 26 に供給される。

続いて、シフト回路 26 は、バイナリデータである直交変換後の係数をビットシフトするものである。本実施例では、シフト回路 26 は、直交変換後の係数の値を上位ビット側に 1 ビットシフトして 2 倍する。なお、シフト回路 26 は、現実的には、n ビットのバイナリデータを上位ビット側に 1 ビットずらして接続するだけで実現できるため、何ら回路増加にならないという利点がある。シフト回路 26 によって 2 倍された直交変換後の係数は比較器 28 に供給される。

比較器 28 は、直交変換後の係数を量子化する前に、直交変換後の係数、図示例では、シフト回路 26 によって 2 倍された直交変換後の係数とこれに各々対応する量子化テーブル 24 の係数とを比較し、量子化後の係数が '0' となるかど

うかを判定する。なお、量子化テーブル24の係数は、直交変換後の係数をメモリ20に書き込む時に使用するアドレス信号を使用して読み出されるため、回路を追加することなく実現できるという利点がある。

例えば、量子化器22が四捨五入によって量子化を行う場合、 $| (\text{直交変換後の係数の値 (図8 (b))} / \text{量子化テーブル24の係数の値 (同 (d))}) | \geq 0.5$ 、すなわち、 $2 \times | (b) | \geq (d)$ の時に、量子化後の係数が‘0’とはならないと判定することができる。図8のデータに対応する比較判定結果の一例を図2に示すように、本実施例では、量子化後の係数が‘0’とはならない場合に、比較判定結果として‘1’が出力されるものとする。

これらのシフト回路26、比較器28、量子化テーブル24からの係数の読み出しに必要な回路等が本発明の比較部を構成する。なお、本実施例は、量子化器22が四捨五入によって量子化を行う場合の一例であって、量子化器22が実施例とは異なる方法で量子化を行う場合、その量子化の方法に従って、比較器28が比較する直交変換後の係数の値と量子化テーブル24の係数の値を適宜調整するように回路を変更すればよい。

比較器28から出力される比較判定結果は量子化予測レジスタ30に供給される。量子化予測レジスタ30は、比較器28から供給される比較判定結果、本実施例では、図8のデータに対応する一例を図3に示すように、 $8 \times 8 = 64$ 個の比較判定結果を記憶する。なお、比較判定結果は、直交変換後の係数をメモリ20に書き込む時に使用するアドレス信号を使用して量子化予測レジスタ30へ書き込まれるため、回路を追加せずに実現できる。

続いて、リード・コントロール回路32は、量子化予測レジスタ30をジグザグスキャンして比較判定結果を読み出し、比較判定結果が‘1’である場合、すなわち、量子化後の係数が‘0’とはならないと判定された直交変換後の係数のみをメモリ20から読み出すように制御する。なお、比較判定結果は、直交変換後の係数をメモリ20から読み出す時に使用するアドレス信号を使用してジグザグスキャンの順序で読み出される。

ところで、0ラン長は、通常、量子化後の係数の内の連続する‘0’の係数をカウントすることにより、求められる。これに対し、図示例のデータ量子化装置

10では、リード・コントロール回路32が予測レジスタ30から比較判定結果を読み出す際に、連続する‘0’の比較判定結果の個数をカウントすることにより、図8のデータに対応する一例を図4に示すように、量子化する前に0ラン長を求めることができ、以後の処理を高速化することができる。

以上の量子化予測レジスタ30、リード・コントロール回路32、量子化予測レジスタ30からの比較判定結果の読み出しや、メモリ20からの直交変換後の係数の読み出しに必要な回路等が本発明の制御部を構成する。なお、制御部の構成は図示例のものに限定されず、量子化後の係数が‘0’とはならない直交変換後の係数のみを量子化するように制御するものであればどのような回路構成であってもよい。

前述のように、メモリ20からは、量子化予測レジスタ30から読み出された比較判定結果が‘1’である場合に、これに対応する直交変換後の係数がジグザグスキンの順序で読み出され、量子化器22へ供給される。量子化器22は、量子化テーブル24を使用して、メモリ20から供給される直交変換後の係数を量子化する。そして、量子化後の係数と0ラン長は、ジグザグスキンの順序で符号化器（図示省略）に供給される。

図示例のデータ量子化装置10には、単位ブロック、すなわち、 $8 \times 8 = 64$ 画素の画像データに対応する64個の係数がブロック単位で入力される。ブロック内の各々の係数は、まず、直交変換器14によって水平方向に直交変換された後、メモリ16に記憶される。続いて、メモリ16に記憶された係数が読み出され、直交変換器18によって垂直方向に直交変換された後、メモリ20およびシフト回路26に供給される。

直交変換後の係数は、シフト回路26により2倍され、比較器28に供給される。また、量子化テーブル24の係数が、直交変換後の係数をメモリ20に書き込む時に使用するアドレス信号を使用して、読み出され、比較器28に供給される。これらの2倍された直交変換後の係数とこれに各々対応する量子化テーブル24の係数とは、直交変換後の係数を量子化する前に比較器28によって比較され、量子化後の係数が‘0’となるかどうか判定される。

続いて、比較器28から出力される比較判定結果は量子化予測レジスタ30に

供給され、直交変換後の係数をメモリ 20 に書き込む時に使用するアドレス信号を使用して量子化予測レジスタ 30 に記憶される。以上のようにして、直交変換後の各々の係数について、量子化テーブル 24 から対応する係数を読み出し、量子化予測レジスタ 30 に比較判定結果を書き込む時同時に、直交変換器 18 から供給される直交変換後の係数がメモリ 20 に書き込まれる。

その後、リード・コントロール回路 32 により、直交変換後の係数をメモリ 20 から読み出す時に使用するアドレス信号を使用して、量子化予測レジスタ 30 がジグザグスキャンされて比較判定結果が読み出される。そして、比較判定結果が '1' である場合、すなわち、量子化後の係数が '0' とはならないと判定された直交変換後の係数のみがメモリ 20 から読み出され、量子化器 22 へ供給される。

また、リード・コントロール回路 32 では、予測レジスタ 30 から比較判定結果を読み出す際に、連続する '0' の比較判定結果の個数をカウントすることにより、0 ラン長が求められる。そして、メモリ 20 から読み出された直行変換後の係数は、量子化テーブル 24 を使用して、量子化器 22 によって量子化され、量子化後の係数と 0 ラン長はジグザグスキャンの順序で符号化器に供給され、可変長符号化される。

本実施例では、比較判定結果が '1' である場合、すなわち、量子化後の係数が '0' とはならない直交変換後の係数のみをメモリ 20 から読み出して量子化するため、言い換えると、量子化後の係数が '0' となる直交変換後の係数を量子化しないため、そのための消費電力を削減することができ、その分の処理を高速化することができるとともに、0 ラン長を前もって求めることができるため、さらに処理を高速化できる。

本発明の第 1 の実施例のデータ量子化装置 10 およびこれを用いる画像データ圧縮装置は、基本的に以上のように構成される。

次に、本発明の第 2 の実施例のデータ量子化装置について説明する。

図 5 は、本発明のデータ量子化装置の第 2 の実施例を含む画像データ圧縮装置の構成概念図である。

図示例のデータ量子化装置 34 は、図 1 に示す本発明のデータ量子化装置 10

と比較して、量子化予測レジスタ 30 およびリード・コントロール回路 32 を備えていない点と、比較器 28' を通して直交変換後の係数がメモリ 20 に書き込まれる点と、量子化器 22' が、量子化後の係数が '0' とならない直交変換後の係数のみを量子化する点とが異なる。

なお、データ量子化装置 34 を含む画像データ圧縮装置において、比較器 28' および量子化器 22' を除く、他の構成要素である直交変換器 14、18、メモリ 16、20、シフト回路 26 および量子化テーブル 24 の構成は、データ量子化装置 10 を含む画像データ圧縮装置と全く同じものである。従って、本実施例では、データ量子化装置 34 を含む画像データ圧縮装置とデータ量子化装置 10 を含む画像データ圧縮装置とで同じ構成要素には同じ符号を付して参照し、その詳細な説明は省略するものとする。

まず、比較器 28' は、図 1 に示すデータ量子化装置 10 の比較器 28 の場合と同じように、直交変換後の係数を量子化する前に、図示例ではシフト回路 26 によって 2 倍された直交変換後の係数とこれに各々対応する量子化テーブル 24 の係数とを比較し、量子化後の係数が '0' となるかどうかを判定する。なお、量子化テーブル 24 の係数は、直交変換後の係数をメモリ 20 に書き込む時に使用するアドレス信号をそのまま使用して読み出される。

そして、比較器 28' は、比較判定結果が '1' の場合、すなわち量子化後の係数が '0' とならない直交変換後の係数のみをメモリ 20 に書き込み、比較判定結果が '0' の場合、すなわち、量子化後の係数が '0' となる場合、メモリ 20 に直交変換後の係数の値を書き込まずに '0' を書き込む。言い換えると、メモリ 20 に、図 1 のデータ量子化装置 10 における量子化予測レジスタ 30 の役割を与える。

これにより、図 1 に示すデータ量子化装置 10 の量子化予測レジスタ 30 を省略することができ、回路規模を削減することができる。また、メモリ 20 から直交変換後の係数をジグザグスキャンして読み出す時に、連続する '0' の係数をカウントすることにより、図 1 に示すデータ量子化装置 10 の量子化予測レジスタ 30 を使用する場合と同じように 0 ラン長を求めることができ、処理を高速化することができる。

メモリ 20 に記憶された直交変換後の係数は、上記の通りジグザグスキャンして読み出され、量子化器 22' に供給される。量子化器 22' は、量子化後の係数が '0' とならない直交変換後の係数のみを量子化する。言い換えると、本実施例では、量子化後の係数が '0' となる直交変換後の係数はあらかじめ '0' が書き込まれているので、量子化器 22' は、メモリ 20 から供給される '0' ではない直交変換後の係数のみを量子化する。

ここで、図 6 に、量子化器の一実施例の構成概念図を示す。

図示例の量子化器 22' は、量子化回路 36 と、オール 0 検出回路 38 と、セクタ 40 とを備えている。メモリ 20 から供給される直交変換後の係数は、量子化回路 36 およびオール 0 検出回路 38 に入力される。

まず、量子化回路 36 は '0' ではない直交変換後の係数のみを量子化する。量子化後の係数はセクタ 40 の入力端子 1 に入力される。

また、オール 0 検出回路 38 は、直交変換後の係数が '0' であることを検出する。その検出結果は、セクタ 40 の入力端子 0 および選択入力端子に入力される。図示例の場合、直交変換後の係数が '0' であることを検出すると、オール 0 検出回路 38 からは '0' が出力される。これに対して、直交変換後の係数が '0' でないことを検出すると、オール 0 検出回路 38 からは '1' が出力される。

セクタ 40 は、量子化後の係数として、量子化回路 36 から出力される量子化後の係数、または、'0' を選択的に出力する。オール 0 検出回路 38 から '0' が出力されると、セクタ 40 からは '0' が出力され、オール 0 検出回路 38 から '1' が出力されると、量子化回路 36 から出力される量子化後の係数が出力される。そして、量子化後の係数は、ジグザグスキャンの順序で符号化器に供給される。

図示例のデータ量子化装置 34 において、比較器 28' により比較判定が行われ、比較判定結果が出力されるまでの動作は、図 1 に示すデータ量子化装置 10 の場合と同じである。比較判定結果が '1' の場合、すなわち、量子化後の係数が '0' とならない直交変換後の係数は、比較器 28' によってそのままメモリ 20 に書き込まれ、比較判定結果が '0' の場合、すなわち、量子化後の係数が

‘0’となる場合には‘0’が書き込まれる。

メモリ20に記憶された直交変換後の係数は、ジグザグスキャンして読み出され、量子化器22’に供給される。量子化器22’では、量子化テーブル24を使用して‘0’ではない直交変換後の係数のみを、すなわち、量子化後の係数が‘0’とならない直交変換後の係数のみを量子化し、‘0’の直交変換後の係数については量子化することなく‘0’を出力する。そして、量子化後の係数はジグザグスキャンの順序で符号化器に供給され、可変長符号化される。

本実施例においても、量子化後の係数が‘0’となる直交変換後の係数を量子化しないので、その分の消費電力を削減し、かつ、処理を高速化することができる。本実施例では、量子化回路36が、‘0’ではない直交変換後の係数のみを量子化するように構成され、オール0検出回路38およびセクタ40を備える点が本発明の制御部を構成する。なお、量子化器22’すなわち本発明の制御部の構成は何ら限定されるものではない。

本発明の第2の実施例のデータ量子化装置34および画像データ圧縮装置は、基本的に以上のように構成される。

なお、本発明は、J P E GやM P E Gなどの画像データの圧縮での量子化に限定されるものではなく、いかなるデータを量子化するものであっても、いかなるデータを圧縮するものであってもよく、データを量子化するあらゆる装置やデータを圧縮するあらゆる装置に対して適用可能である。

以上、本発明のデータ量子化装置およびこれを用いる画像データ圧縮装置について詳細に説明したが、本発明は上記実施例に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

以上詳細に説明した様に、本発明のデータ量子化装置は、直交変換後の係数を量子化する前に、直交変換後の係数とこれに各々対応する量子化テーブルの係数とを比較して、量子化後の係数が‘0’となるかどうかを判定し、量子化後の係数が‘0’にならない直交変換後の係数のみを量子化するように制御するものである。

従って、本発明のデータ量子化装置によれば、量子化後の係数が‘0’となることを前もって予測するため、無駄な量子化処理を省略することができ、その結

果として、消費電力を削減し、かつ、処理を高速化することができる。

また、本発明によれば、上述した効果を奏するデータ量子化装置を用いて、J P E GやM P E G等の画像データを圧縮する画像データ圧縮装置を実現することができるという効果を奏する。

また、本発明によれば、追加回路が少なく、その制御も極めて簡単であるという利点がある。

特許請求の範囲

1. 量子化テーブルを用いて、直交変換後の係数を量子化するデータ量子化装置であって、

前記直交変換後の係数とこれに各々対応する前記量子化テーブルの係数とを比較して、量子化後の係数が‘0’となるかどうかを判定する比較部と、

前記量子化後の係数が‘0’とはならない前記直交変換後の係数のみを量子化するように制御する制御部とを備えていることを特徴とするデータ量子化装置。

2. 前記比較部は、バイナリデータである前記直交変換後の係数をシフトするシフト回路と、このシフトされた直交変換後の係数とこれに各々対応する前記量子化テーブルの係数とを比較し、前記量子化後の係数が‘0’となるか否かを判定した比較判定結果をビットデータとして出力する比較器とを含む請求項1に記載のデータ量子化装置。

3. 前記シフト回路は、バイナリデータである前記直交変換後の係数を上位側に1ビットシフトするものである請求項2に記載のデータ量子化装置。

4. 前記制御部は、前記量子化後の係数が‘0’となるか否かを示す比較判定結果を記憶する量子化予測レジスタと、前記直交変換後の係数をストアするメモリと、前記量子化予測レジスタから比較判定結果を読み出し、前記量子化後の係数が‘0’とならないと判定された直交変換後の係数のみを前記メモリから読み出すように制御するREADコントロール回路と、前記メモリから読み出された直交変換後の係数を前記量子化テーブルの対応する係数で除算して結果を出力する量子化器とを含む請求項1に記載のデータ量子化装置。

5. 前記制御部は、前記量子化後の係数が‘0’となるか否かを示す比較判定結果を記憶する量子化予測レジスタと、前記直交変換後の係数をストアするメモリと、前記量子化予測レジスタから比較判定結果を読み出し、前記量子化後の係

数が‘0’とならないと判定された直交変換後の係数のみを前記メモリから読み出すように制御するREADコントロール回路と、前記メモリから読み出された直交変換後の係数を前記量子化テーブルの対応する係数で除算して結果を出力する量子化器とを含む請求項2に記載のデータ量子化装置。

6. 前記制御部は、前記量子化後の係数が‘0’となるか否かを示す比較判定結果を記憶する量子化予測レジスタと、前記直交変換後の係数をストアするメモリと、前記量子化予測レジスタから比較判定結果を読み出し、前記量子化後の係数が‘0’とならないと判定された直交変換後の係数のみを前記メモリから読み出すように制御するREADコントロール回路と、前記メモリから読み出された直交変換後の係数を前記量子化テーブルの対応する係数で除算して結果を出力する量子化器とを含む請求項3に記載のデータ量子化装置。

7. 前記比較部は、バイナリデータである前記直交変換後の係数をシフトするシフト回路と、このシフトされた直交変換後の係数と前記量子化テーブルの各々対応する係数とを比較し、量子化後の係数が‘0’になると判定したときには、出力として‘0’を出力し、量子化後の係数が‘0’にならないと判定したときには、前記直交変換後の係数を出力する比較器とを含む請求項1に記載のデータ量子化装置。

8. 前記制御部は、前記比較器の出力をストアするメモリと、このメモリから読み出される‘0’ではない直交変換後の係数のみを、前記量子化テーブルの対応する係数で除算して量子化する量子化器とを含む請求項7に記載のデータ量子化装置。

9. 前記量子化器は、‘0’ではない直交変換後の係数のみを量子化する量子化回路と、前記直交変換後の係数が‘0’であることを検出するオール0検出回路と、このオール0検出回路による検出結果に応じて、前記量子化回路から出力される量子化後の係数、または、‘0’を選択的に出力するセレクトとを含むこ

とを特徴とする請求項 8 に記載のデータ量子化装置。

10. 前記比較判定結果は、前記直交変換後の係数を前記メモリに書き込む時に使用するアドレス信号を使用して前記量子化予測レジスタに書き込まれる請求項 6 に記載のデータ量子化装置。

11. 前記比較判定結果は、前記直交変換後の係数を前記メモリから読み出す時に使用するアドレス信号を使用して前記量子化予測レジスタから読み出される請求項 6 に記載のデータ量子化装置。

12. 前記量子化予測レジスタから前記比較判定結果を読み出す際に、連続する '0' の比較判定結果の個数をカウントして 0 ラン長を求める請求項 6 に記載のデータ量子化装置。

13. 前記メモリから前記比較器の出力を読み出す際に、連続する '0' の係数をカウントして 0 ラン長を求める請求項 8 に記載のデータ量子化装置。

14. 量子化テーブルを用いて、直交変換後の係数を量子化するデータ量子化装置であって、

前記直交変換後の係数とこれに各々対応する前記量子化テーブルの係数とを比較して、量子化後の係数が '0' となるかどうかを判定する比較部と、前記量子化後の係数が '0' とはならない前記直交変換後の係数のみを量子化するように制御する制御部とを備えていることを特徴とするデータ量子化装置を備えた画像データ圧縮装置。

15. 前記比較部は、バイナリデータである前記直交変換後の係数を上位側に 1 ビットシフトするシフト回路と、このシフトされた直交変換後の係数とこれに各々対応する前記量子化テーブルの係数とを比較し、前記量子化後の係数が '0' となるか否かを判定した比較判定結果をビットデータとして出力する比較器と

を含み、

前記制御部は、前記量子化後の係数が‘0’となるか否かを示す比較判定結果を記憶する量子化予測レジスタと、前記直交変換後の係数をストアするメモリと、前記量子化予測レジスタから比較判定結果を読み出し、前記量子化後の係数が‘0’とならないと判定された直交変換後の係数のみを前記メモリから読み出すように制御するREADコントロール回路と、前記メモリから読み出された直交変換後の係数を前記量子化テーブルの対応する係数で除算して結果を出力する量子化器とを含む請求項14に記載の画像データ圧縮装置。

16. 前記比較部は、バイナリデータである前記直交変換後の係数をシフトするシフト回路と、このシフトされた直交変換後の係数と前記量子化テーブルの各々対応する係数とを比較し、量子化後の係数が‘0’になると判定したときには、出力として‘0’を出力し、量子化後の係数が‘0’にならないと判定したときには、前記直交変換後の係数を出力する比較器とを含み、

前記制御部は、前記比較器の出力をストアするメモリと、このメモリから読み出される‘0’ではない直交変換後の係数のみを、前記量子化テーブルの対応する係数で除算して量子化する量子化器とを含む請求項14に記載の画像データ圧縮装置。

開示の要約

データ量子化装置は、量子化テーブルを用いて、直交変換後の係数を量子化するものである。この装置は、直交変換後の係数とこれに各々対応する量子化テーブルの係数とを比較して、量子化後の係数が‘0’となるかどうかを判定する比較部と、量子化後の係数が‘0’とはならない直交変換後の係数のみを量子化するように制御する制御部とを備えている。画像データ圧縮装置は、このデータ量子化装置を用いるものである。その結果、この装置は、消費電力を削減することができ、なおかつ処理も高速化することができる

FIG. 1

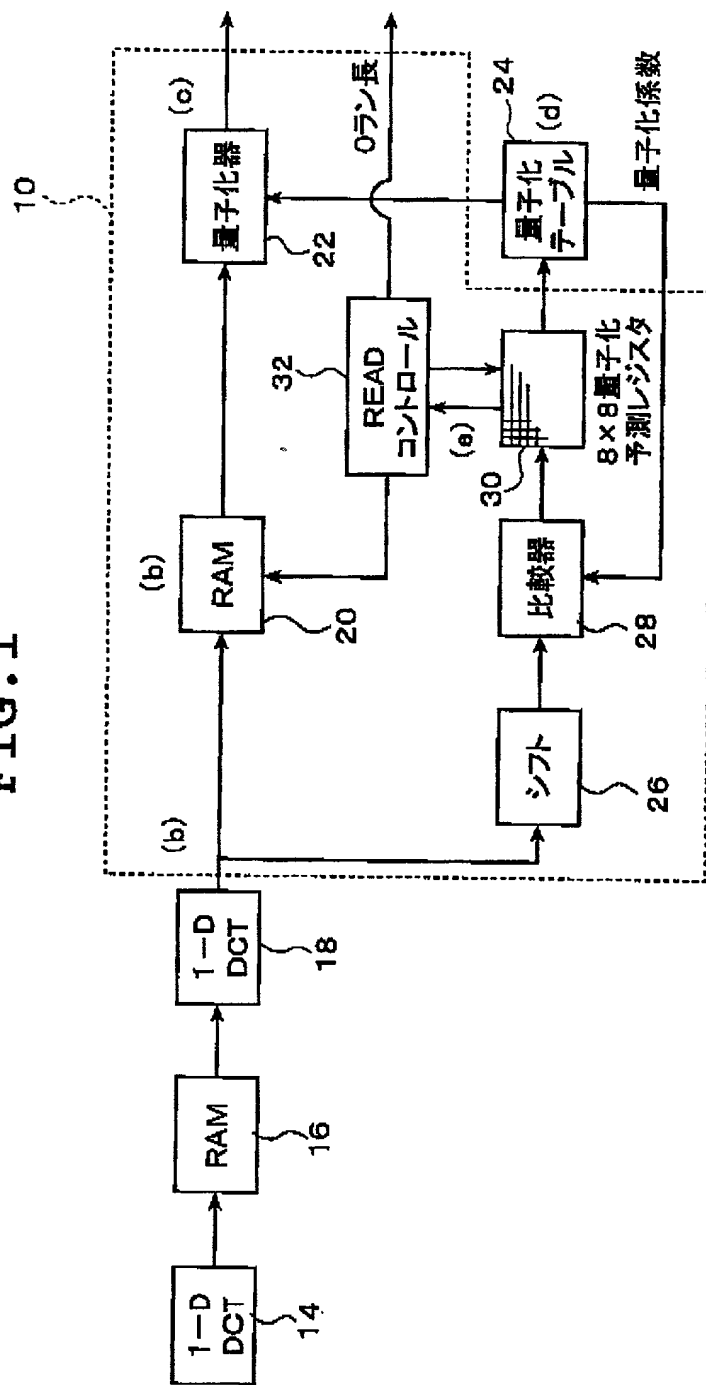


FIG. 2

(b)	260, -79, 0, -8, -2, -3, -4, 1, ...
$2 \times (b) $	520, 158, 0, 16, 4, 6, 8, 2, ...
(d)	16, 12, 14, 14, 18, 24, 49, 72, ...
比較判定結果	1, 1, 0, 1, 0, 0, 0, 0, ...

FIG. 3

(e) 予測レジスタ

1	1	1	0	0	0	0	0
1	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0
1	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0

FIG. 4

	0ラン長	(b)	(c)
1	0	260	16
2	0	49	4
3	0	-79	-7
4	1	36	3
5	0	-16	-2
6	2	-8	-1
7	0	-8	-1
8	EOB		

FIG. 5

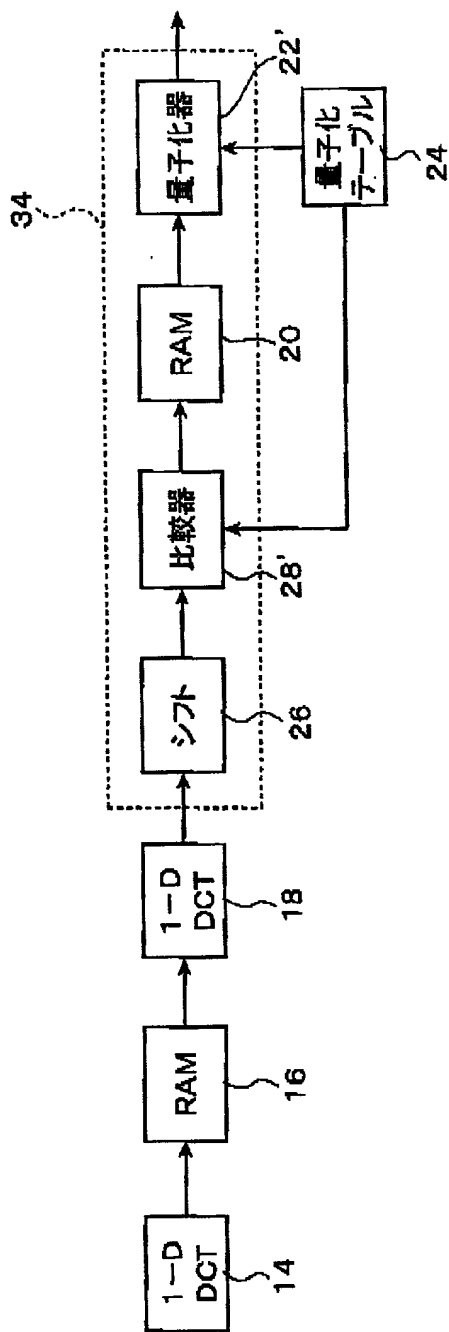


FIG. 7
PRIOR ART

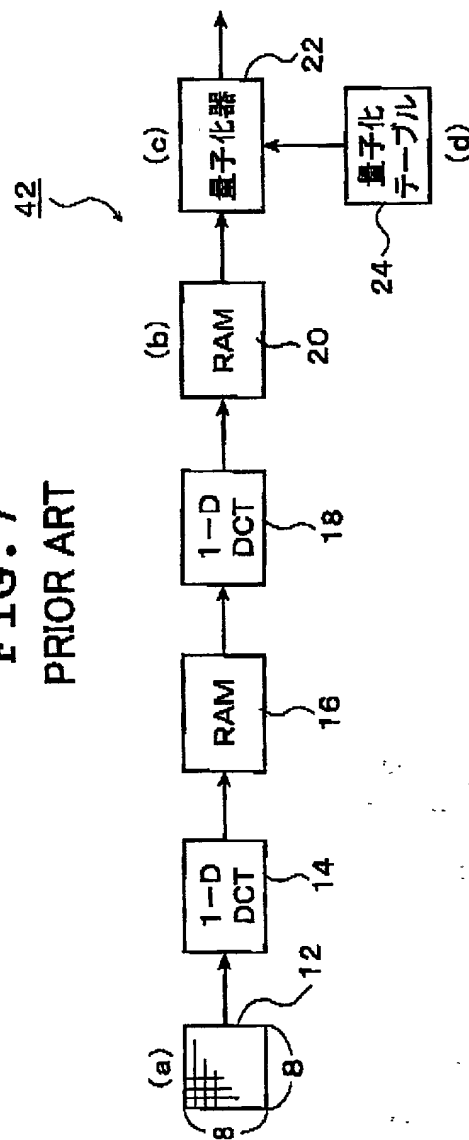


FIG. 8

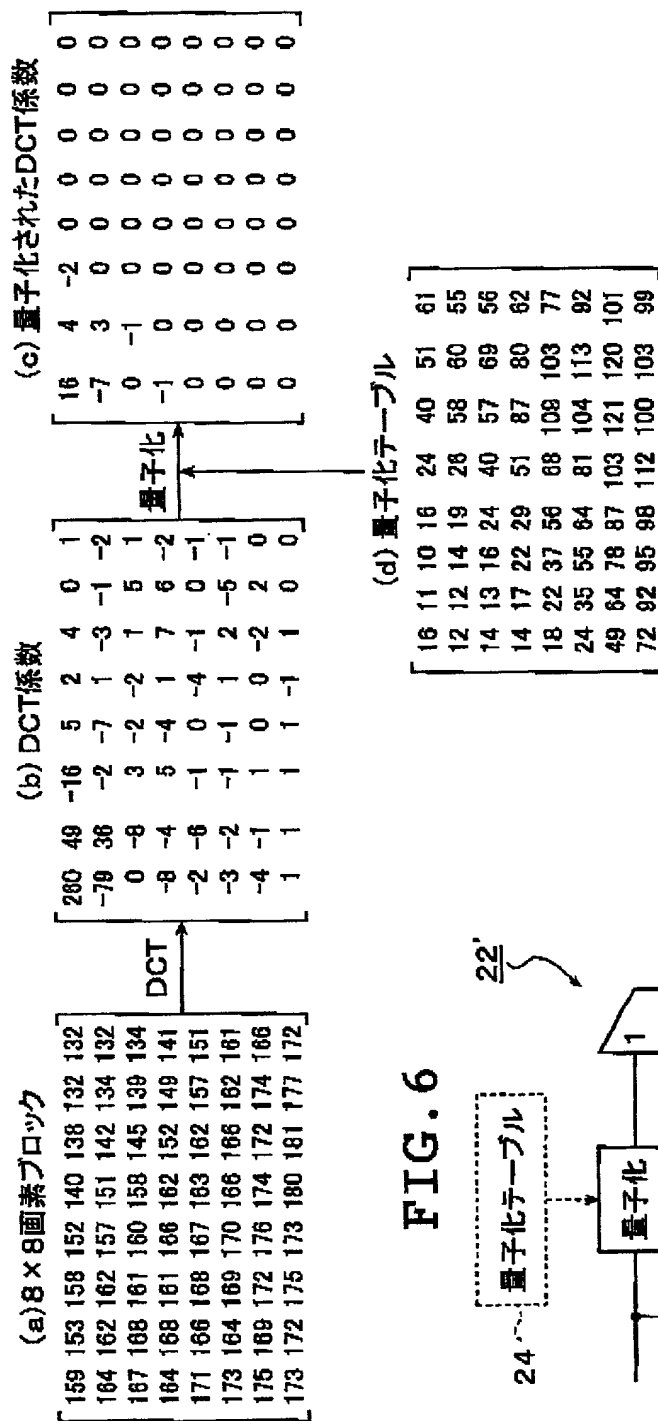


FIG. 6

